

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061790

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H03H 17/02

G10H 1/12

G10H 7/00

(21)Application number : 04-035423

(71)Applicant : YAMAHA CORP

(22)Date of filing : 21.02.1992

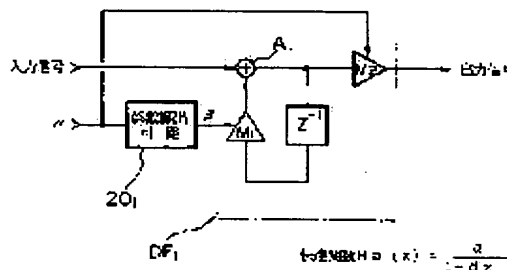
(72)Inventor : KUNIMOTO TOSHIFUMI

## (54) DIGITAL FILTER

## (57)Abstract:

**PURPOSE:** To eliminate the need for complicated function calculation and for provision a table storing in advance nonlinear functions by calculating a coefficient in nonlinear relation to a characteristic of the filter in a way of approximating to one polynomial or over.

**CONSTITUTION:** An input signal of a filter DF1 is fed to one input terminal of an adder A, and an output signal of the adder A1 is fed to a multiplier input terminal of a multiplier M2 and a delay input terminal of a delay element Z-1. The output signal from the delay element Z-1 is given to the multiplier M1 in which a coefficient  $\beta$  is multiplied with the signal and the product is fed back to another input terminal of the adder A1. On the other hand, a signal fed to a multiplier input terminal of the multiplier M2 is multiplied with a coefficient  $\alpha$  and the result of multiplication is outputted externally as an output signal of the digital filter. Thus, each coefficient of a discrete transfer function of the digital filter, especially a coefficient including a nonlinear function term is approximated by one polynomial or more not including an exponential function and a trigonometric function.



## LEGAL STATUS

[Date of request for examination] 26.09.1994

[Date of sending the examiner's decision of rejection] 15.10.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(3)

まず、標準  $z$  変換を用いた第一実施例について説明する。式 (A1) に標準  $z$  変換を施して、 $z$  の伝達関数に変

$$Ha(z) = \frac{1 - \exp(-\alpha) z^{-1}}{\alpha} \quad \text{.....(A2)}$$

となる。この式において、係数  $\alpha = 2\pi \cdot f_c / F_s$  であり、 $f_c$  はカットオフ周波数、 $F_s$  はサンプリング周波数を示す。

【0012】ところで、式 (A2) により示される伝達関数を IIR フィルタにて構成する場合には、前述のように、式 (A2) に含まれる指数関数  $\exp(-\alpha)$  の計算に、式 (A2) に含まれる指数関数  $\exp(x)$  の計算

$$\exp(x) = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots + \frac{x^n}{n!} + \dots$$

のとき、 $x$  の値が十分小さいときには、式 (A3) の 1 次の項 (第2項) までを用いて近似することができる。

$$\exp(x) \approx 1 + x$$

と近似することができる。式 (A2) における  $\alpha$  が十分に小さいとき、すなわち、カットオフ周波数  $f_c$  がサンプリング周波数  $F_s$  に対して無視できる程に小さいとき、式 (A4) より、 $\exp(-\alpha) \approx 1 - \alpha$  と近似す

$$Ha(z) = \frac{1 - (1 - \alpha) z^{-1}}{\alpha} \quad \text{.....(A5)}$$

【0013】次に、式 (A5) の伝達関数により示されるデジタルフィルタの構成について説明する。図1にはこのデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は1次の直接型 IIR のフィルタDF1と係数算出回路201とから構成される。フィルタDF1には、加算器A1と、乗算係数を各々  $\beta$ 、 $\alpha$  とする乗算器M1、M2と、サンプリング周波数  $F_s$  の1周期分に等しい遅延時間を有する遅延素子  $z^{-1}$  とが設けられている。この遅延素子  $z^{-1}$  には、例えば、シフトレジスタが用いられる。このフィルタDF1の伝達関数は、 $\alpha / (1 - \beta z^{-1})$  である。

【0014】フィルタDF1の入力信号は、加算器A1の一方の入力端に供給され、さらに、加算器A1の出力信号は乗算器M2の乗算入力端および遅延素子  $z^{-1}$  の遅延入力端に供給される。遅延素子  $z^{-1}$  の出力信号は、乗算器M1において係数  $\beta$  が乗算されて加算器A1の他方の入力端に帰還される。一方、乗算器M2の乗算入力端に供給された信号は、係数  $\alpha$  が乗算され、この乗算結果がデジタルフィルタの出力信号として外部出力される。

【0015】また、係数算出回路201は、係数  $\alpha$  から係数  $\beta$  を算出する。図2は、この係数算出回路201の構成を示すブロック図の一例であり、この図に示すように、係数算出回路201は1つの加算器B1から構成される。  $\alpha$  は、前述のように所望のフィルタ特性により定められるデータであり、図示せぬデータ供給部より供給され、加算器B1の減算入力端 (-) に供給される。また、加算器B1の加算入力端 (+) には、数値「1」が供給される。これにより、加算器B1、すなわち、係数

において、その入力信号は加算器A4の一方の入力端に供給される。加算器A4の加算結果は、乗算器M4において係数  $\alpha$  が乗算されてこのデジタルフィルタの出力信号として外部出力されるとともに、遅延素子  $z^{-1}$  の遅延入力端に供給される。遅延素子  $z^{-1}$  の出力信号は、加算器A5の加算入力端 (+) に供給されるとともに、乗算器M5において係数  $\alpha$  が乗算されて加算器A5の減算入力端 (-) に供給される。そして、加算器A5の加算結果は加算器A4の他方の入力端に帰還される。

【0019】図3(1)および(2)に示すように、デジタルフィルタの構成を構成することによって、乗算器M3の乗算係数をいづれも  $\alpha$  とすることができ、係数の計算を簡略化することができる。したがって、 $\alpha$  を乗算係数として乗算器M3、あるいは乗算器M4、M5へ直

$$\exp(-\alpha) \approx 1 - \alpha + \frac{\alpha^2}{2}$$

したがって、この実施例の伝達関数  $Ha(z)$  は、次式のようになる。

$$Ha(z) = \frac{\alpha}{1 - (1 - \alpha + \frac{\alpha^2}{2}) z^{-1}} \quad \text{.....(A6)}$$

【0021】次に、その伝達関数が式 (A7) により示されるデジタルフィルタの構成について説明する。この場合、デジタルフィルタの構成は、図1に示すものと同じものになるが、係数算出回路201は図4に示す係数算出回路202に置き換わる。図4は、 $\beta = 1 - \alpha + \alpha^2/2$  なる係数  $\beta$  を算出する係数算出回路202の一例である。この図に示すように、係数算出回路202は加算器B2、B3と乗算器C1、C2とから構成される。

【0022】まず、 $\alpha$  は、加算器B2の減算入力端 (-)、乗算器C1の一方の入力端、および乗算器C1の他方の入力端に各々供給される。加算器B2の加算入力端 (+) には「1」が供給される。このため、加算器B2の加算結果は  $(1 - \alpha)$  となる。一方、乗算器B3の一方の入力端に供給される、一方、乗算器C1において  $\alpha^2$  が演算され、乗算器C2の一方の入力端に供給される。また、乗算器C2の他方の入力端には、「1/2」が供給される。このため、乗算器C2の乗算結果は  $(\alpha^2/2)$  となる。加算器B3は、加算結果  $(1 - \alpha)$  と乗算結果  $(\alpha^2/2)$  とを加算して、 $\beta = 1 - \alpha + \alpha^2/2$  なる係数  $\beta$  を乗算器M1 (図1) に供給する。この結果、このデジタルフィルタの伝達関数は、式 (A7) に

$$Ha(z) = \frac{\alpha}{1 - \frac{2 - \alpha}{2} z^{-1}} \quad \text{.....(A7)}$$

となる。この式 (B1) に微分の差分近似を施すと、次式のようになる。

(4)

接的に供給することによって、フィルタの特性をリアルタイムに制御することができる。

【0020】A-1-2: 標準  $z$  変換による1次LPF (2次以上の近似)

上述した例では、フィルタ係数  $(z^{-1})$  の近似を1次近似とする場合について説明した。この場合、フィルタ自身の構成を簡略化することができるが、周波数特性の再現性が劣ることがある。そこで、フィルタ係数の近似を2次以上として、周波数特性の再現性を向上させた第二実施例について説明する。まず、式 (A3) の2次の項 (第3項) までを用い、係数  $\exp(-\alpha)$  を次式のように近似する。

【数6】

$$\dots\dots\dots(A6)$$

【数7】

$$\dots\dots\dots(A7)$$

示すものとなる。なお、この場合、係数算出回路202は  $\beta = 1 - \alpha + \alpha^2/2$  となる係数  $\beta$  を算出することができる。その構成は図4と等しい。

【0023】このような構成を用いることによって、前述した第一実施例と同様に、係数  $\exp(-\alpha)$  を算出することが容易になり、 $\alpha$  (カットオフ周波数  $f_c$ ) が逆数的に変化しても、この変化に追従して係数を変化させることができるので、フィルタの特性をリアルタイムに変化させることができる。さらに、第一実施例と比較して周波数特性の再現性を向上させることができる。以下同様に、2次以上の近似を行う場合でも、近似された係数に対応して係数算出回路を乗算器と加算器とから構成することにより、1次LPFを実現することができる。

【0024】A-2-1: 双極形変換による1次LPF (1次近似)

上述した実施例では、 $s-z$  変換に標準  $z$  変換を用いた例について説明した。次に、 $s-z$  変換に双極形変換を用いた第三実施例について説明する。まず、式 (A1) に双極形変換を施し、 $z$  の伝達関数に変換すると、

【数8】

$$\dots\dots\dots(B1)$$

【数9】

$$H_a(z) = \frac{\alpha/(1+\alpha)}{1 - \frac{1}{1+\alpha} z^{-1}} \quad \text{.....(B2)}$$

【0025】さらに、式 (B2) を近似することを考え、一般に  $1/(1+\alpha)$  の関数を次のような級数に

$$\frac{1}{1+\alpha} = 1 - \alpha + \alpha^2 - \frac{2}{3}\alpha^3 + \alpha^4 - \dots \quad \text{.....(B3)}$$

$\alpha$  の値が十分小さいときには、式 (A3) と同様、式 (B3) の 1 次の項 (第 2 項) だけを用いて近似すること

$$\frac{1}{1+\alpha} \approx 1 - \alpha \quad \text{.....(B4)}$$

と近似することができる。

【0026】そして、式 (A2) の場合と同様に、式 (B2) における  $\alpha$  が十分小さいとき、すなわち、カットオフ周波数  $f_c$  がサンプリング周波数  $F_s$  に対して無視で

$$H_a(z) = \frac{\alpha/(1+\alpha)}{1 - (1-\alpha) z^{-1}} \quad \text{.....(B5)}$$

式 (B5) において、分子の  $1/(1+\alpha)$  の項はゲインを表しているもので、省略しても大差はない、これによ

$$H_a(z) = \frac{1}{1 - (1-\alpha) z^{-1}} \quad \text{.....(B6)}$$

となり、式 (A5) と同一になる。つまり、双極形変換を用いた場合でも、デジタルフィルタの構成は、図 1 に示すものと同一になり、この場合の係数算出回路 20 の構成も図 2 に示すものと同一になる。したがって、前述した第一実施例と同様に、係数の算出が容易になり、 $\alpha$  が連続的に変化しても、この変化に追従して係数を変化させることができるので、フィルタの特性をリアルタイムに

$$\frac{1}{1+\alpha} \approx 1 - \alpha + \alpha^2 \quad \text{.....(B7)}$$

したがって、この場合の伝達関数  $H_a(z)$  は、次のようになる。

$$H_a(z) = \frac{\alpha}{1 - (1-\alpha+\alpha^2) z^{-1}} \quad \text{.....(B8)}$$

【0028】この実施例によるデジタルフィルタの構成は、図 1 に示すものと同じものになるが、係数算出回路 20、1 は図 5 に示す係数算出回路 20<sub>3</sub> に置き換わる。図 5 は、 $\beta = 1 - \alpha + \alpha^2$  なる係数  $\beta$  を算出する係数算出回路 20<sub>3</sub> の一例である。この図では、係数算出回路 20<sub>3</sub> は加算器 B<sub>4</sub>、B<sub>5</sub> と乗算器 C<sub>3</sub> とから構成される。

【0029】まず、 $\alpha$  は、加算器 B<sub>4</sub> の減算入力端 (ー)、乗算器 C<sub>3</sub> の一方の入力端、および乗算器 C<sub>3</sub> の他方の入力端に各々供給される。また、加算器 B<sub>4</sub> の加算入力端 (+) には「1」が供給される。このため、加算器 B<sub>4</sub> の加算結果は  $(1-\alpha)$  となり、加算器 B<sub>5</sub> の一方の入力端に供給される。一方、乗算器 C<sub>3</sub> において  $\alpha^2$  が演算され、乗算器 B<sub>5</sub> の他方の入力端に供給される。そして、加算器 B<sub>5</sub> は、加算結果  $(1-\alpha)$  と乗算結果  $\alpha^2$  とを加算して、 $\beta = 1 - \alpha + \alpha^2$  なる係数

【数 16】

$$\text{.....(C1)}$$

説明する。周知のように、アナログフィルタを用いた 2 次 L P F の伝達関数  $H_a(s)$  は、次のようになる。  

$$H_a(s) = \frac{s^2 + \alpha q s + \alpha^2}{s^2 + \alpha q s + \alpha^2} \quad \text{.....(C1)}$$
 この伝達関数  $H_a(s)$  に  $s = z$  変換を施して、伝達関数  $H_a(z)$  を求める。この  $s = z$  変換に、標準  $z$  変換、整合  $z$  変換、および双 1 次変換を用いた各実施例について各々説明する。

【数 17】

$$H_a(z) = \frac{2\alpha q \exp(-\alpha q/2) \sin(\alpha(1-q^2/4)^{1/2}) z^{-1/2} + \exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q/2)}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q/2)} \quad \text{.....(C2)}$$

となる。ここで、 $q$  はレゾナンスを表す。

【0033】次に、式 (C2) の  $z^{-1/2}$  の各係数に含まれる各関数を、級数展開の低次の項のみを用いて近似する。すなわち、

$$\exp(x) \approx 1 + x \quad \text{.....(A4)}$$

$$\sin(x) \approx x \quad \text{.....(C3)}$$

$$H_a(z) = \frac{\alpha^2 q (1-\alpha q/2) (1-q^2/4)^{1/2} z^{-1}}{1 - 2(1-\alpha q/2) (1-\alpha(1-q^2/4)^{1/2}/6) z^{-1} + (1-\alpha q) z^{-2}} \quad \text{.....(C5)}$$

実際には、式 (C5) の分母係数はダイン項なので、 $\alpha^2 q$  に置き換えても大差はない (さらに、式 (C5) は、ルートや割り算を級数展開することによって、簡単にすることができ)。

【0034】次に、伝達関数が式 (C5) により示されるデジタルフィルタの構成について説明する。図 6 は、このデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は 2 次の直交型 I R フィルタ D F<sub>2</sub> と係数算出回路 21 とから構成されている。係数算出回路 21 は、 $\alpha$ 、 $q$ 、および数値から係数  $\beta_{11} \sim \beta_{13}$  を算出し、各々乗算器 M<sub>11</sub>、M<sub>12</sub>、M<sub>13</sub> の係数 (ルートは省略)、M<sub>12</sub> の係数  $\beta_{12}$  は同式の分母における  $z^{-1}$  の係数、M<sub>13</sub> の係数  $\beta_{13}$  は同式の分母における  $z^{-2}$  の係数である。そして、乗算器 M<sub>11</sub>、M<sub>12</sub>、M<sub>13</sub> の各々は、入力データに対し係数  $\beta_{11} \sim \beta_{13}$  を入力データ

$$H_a(z) = \frac{\alpha^2 q (1+z^{-1})/2}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q) z^{-2}} \quad \text{.....(D1)}$$

となる。式 (A3) により  $\exp$  関数を、式 (C4) により  $\cos$  関数を各々 1 次近似すると、式 (D1) の分母は次

【数 20】

$$1 + (\alpha q + \alpha^2 (1-q^2/4) - 2) z^{-1} + (1-\alpha q + \alpha^2 q^2/4) z^{-2} \quad \text{.....(D2)}$$

【数 16】

$$\text{.....(C1)}$$

まず、 $s = z$  変換に標準  $z$  変換を用いた第五実施例について説明する。式 (C1) に標準  $z$  変換を施し  $z$  の伝達関数  $H_a(z)$  にすると、

【数 17】

$$H_a(z) = \frac{2\alpha q \exp(-\alpha q/2) \sin(\alpha(1-q^2/4)^{1/2}) z^{-1/2} + \exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q/2)}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q) z^{-2}} \quad \text{.....(C2)}$$

となる。ここで、 $q$  はレゾナンスを表す。

【0033】次に、式 (C2) の  $z^{-1/2}$  の各係数に含まれる各関数を、級数展開の低次の項のみを用いて近似する。すなわち、

$$\exp(x) \approx 1 + x \quad \text{.....(A4)}$$

$$\sin(x) \approx x \quad \text{.....(C3)}$$

$$H_a(z) = \frac{\alpha^2 q (1-\alpha q/2) (1-q^2/4)^{1/2} z^{-1}}{1 - 2(1-\alpha q/2) (1-\alpha(1-q^2/4)^{1/2}/6) z^{-1} + (1-\alpha q) z^{-2}} \quad \text{.....(C5)}$$

に算する。なお、この図における係数算出回路 21 の構成は一例であり、その構成が式 (C5) によるものであれば、その構成は問わない。

【0035】この実施例のように、 $s = z$  変換後の伝達関数がやや複雑であっても、各係数に様々な近似を施すことによって、乗算器 M<sub>11</sub>、M<sub>12</sub>、M<sub>13</sub> の係数を簡単な算術のみによって行うことができる。したがって、2 次 L P F のような多少複雑なフィルタであっても、乗算係数の算出をテーパーを介することなく高速に行うことができるので、フィルタの周波数特性をリアルタイムに制御することができる。

【0036】B-2：整合  $z$  変換による 2 次 L P F 次に、 $s = z$  変換に整合  $z$  変換を用いた第六実施例について説明する。式 (C1) に整合  $z$  変換を施し  $z$  の伝達関数にすると、

$$H_a(z) = \frac{\alpha^2 q (1+z^{-1})/2}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q) z^{-2}} \quad \text{.....(D1)}$$

となる。式 (A3) により  $\exp$  関数を、式 (C4) により  $\cos$  関数を各々 1 次近似すると、式 (D1) の分母は次

【数 20】

$$1 + (\alpha q + \alpha^2 (1-q^2/4) - 2) z^{-1} + (1-\alpha q + \alpha^2 q^2/4) z^{-2} \quad \text{.....(D2)}$$



$$H(z) = \frac{1 - 2 \exp(-aTq/2) \cos(aT(1-q^2/4)^{1/2}) z^{-1} + \exp(-aTq) z^{-2}}{1 - 2 \exp(-aTqK/2) \cos(aT(1-q^2K^2/4)^{1/2}) z^{-1} + \exp(-aTqK) z^{-2}} \quad \dots\dots(G4)$$

【0055】そして、ブーラストとカットとを合わせる

うになる。

【0056】

【数31】

$$H(z) = \frac{1 - 2 \exp(-aTq/2) \cos(aT(1-q^2/4)^{1/2}) z^{-1} + \exp(-aTq) z^{-2}}{1 - 2 \exp(-aTq_0/2) \cos(aT(1-q_0^2/4)^{1/2}) z^{-1} + \exp(-aTq_0) z^{-2}} \quad \dots\dots(G5)$$

【0057】ここで、ブーラスト部分の係数を

$qK = qN$

$q = q_0$

に、カット部分の係数を

$q = qN$

$q = q_0$

に、各々置換える。そして、式 (G5) において、分母項、分子項は、ともに上述したLPFの同形であるので、次式のように近似することができる。

【0058】

【数32】

$$H(z) = \frac{1 - 2z^{-1} + (aTq_0 + a^2T^2(1-q_0^2/4)) z^{-2}}{1 - 2z^{-1} + (aTq + a^2T^2(1-q^2/4)) z^{-2}} \quad \dots\dots(G6)$$

【0059】なお、この式の伝達関数で表せられるMF Pフィルタの構成の説明については省略する。

【0060】以下同様、アナログフィルタの伝達関数に対し  $s \rightarrow z$  変換を施し、この変換された伝達関数の各係数一個以上の多項式によって近似することにより、様々なフィルタに対処することができる。

【0061】上述した実施例では、係数算出回路20〜23がいずれもハードウェア（加算器、乗算器等）により構成されて、各乗算係数の算出を行うものであった。次に、ソフトウェアにより乗算係数算出する第14実施例を電子装置に適用した場合について説明する。

E-1: 電子装置の構成

まず、この電子装置の構成について説明する。図1はこの電子装置の構成を示すブロック図である。この図において、1は制御プログラムに基づき各種演算や処理等を行い、バスに接続された各部を制御するCPU（中央演算処理装置）、2はCPUによって実行されるプログラムや各種データ等を記憶するROM（リードオンリメモリ）、3はプログラム用のワークエリア等を有し、各種のデータを一時記憶するRAM（ランダムアクセスメモリ）である。

【0062】4は複数の鍵によって構成される鍵盤である。この鍵盤4は、各鍵毎の押鍵や、押鍵速度等を検出する機構を有し、押鍵おおよび押鍵速度に対応した信号を生成して、鍵盤インターフェイス5に供給する。鍵盤

等である。8は時分割にて複数の（第0〜第15）チャンネルで動作する乗音合成回路部であり、各々のチャンネルは、前述の乗音信号の形成に必要な情報、すなわち、キーコードKC、音色コードTC、イニシャルタッチIT等の情報に基づく乗音信号を生成し、フィルタ部9に供給する。フィルタ部9は、その伝達関数が式 (A7) に示すものであり、各チャンネルの乗音信号に対して、係数  $a$  および  $b$  に基づくフィルタ処理を時分割かつリアルタイムにて行う。10はD/A変換器や増幅器等から構成されるサウンズシステムであり、この出力信号はスピーカ11を介して電子装置の音響として出力される。

【0065】E-2: 電子装置の動作

次に、上述した構成による実施例の動作について、図13〜図16を参照して説明する。なお、この動作説明では、CPU1にて実行される各ルーチン毎に分けて説明する。

【0066】E-2-1: メインルーチンの動作

はじめに、この電子装置に電源が投入されると、CPU1は図13に示すメインルーチンの実行を開始し、該ルーチンのステップS a 1を実行する。ステップS a 1においてCPU1は、初期化処理を行って、RAM3内の各種レジスタのゼロリセットや、また、周辺回路の各種変数に初期設定値の書き込み等を行う。この初期化処理後、フローはステップS a 2に進む。ステップS a 2においてCPU1は、鍵盤4の各鍵を走査してこの押鍵状態を検出し、次のステップS a 3に進む。

【0067】ステップS a 3において、CPU1は鍵盤4から鍵イベント（状態変化）の有無を判断する。ここで、押鍵等の鍵イベントが検出されると、判断結果が「YES」となり、次のステップS a 4へ進む一方、鍵イベントが検出されない場合には、この判断結果は「NO」となり、後述するステップS a 8へ進む。ステップS a 4においてCPU1は、鍵イベントの状態（KONあるいはKOFF）をレジスタKEVに、キーコードKCをレジスタKCに、そしてイニシャルタッチITをレジスタITに、各々の検出状態に対応した値をレジスタに設定して、フローをステップS a 5へ進める。

【0068】次に、ステップS a 5においてCPU1は、レジスタKEVの内容がキーオンイベントKONに該当するものであるかを判断する。つまり、鍵イベントが押鍵に対応するものであるかを判断される。ここで、レジスタKEVの内容がキーオンイベントKONである場合には、判断結果が「YES」となり、ステップS a 6に進んでキーオフ（消音）処理が行われる。一方、レジスタKEVの内容がキーオフイベントKOFFである場合には、判断結果が「NO」となり、ステップS a 7に進んでキーオン（発音）処理が行われる。なお、これらのキーオン/キーオフ処理の詳細については後述する。そして、これら処理が終了すると、フローはステップS a 8に進む。

【0069】ステップS a 8においてCPU1は動作パベル6の各スイッチを走査して、これらスイッチによる設定状態を検出し、フローをステップS a 9へ進める。ステップS a 9では、この設定状態からCPU1はパベルイベントの有無を判断する。ここで、パベルイベントが検出されると、判断結果が「YES」となり、次のステップS a 10へ進む一方、パベルイベントが検出されない場合には、この判断結果は「NO」となり、後述するステップS a 13へ進む。

【0070】さらに、ステップS a 10において、CPU1はステップS a 9にて検出されたパベルイベントがフィルタパラメータの操作であるかを判断する。パベルイベントがフィルタパラメータの操作である場合には、判断結果が「YES」となり、次のステップS a 11に進み、CPU1は、RAM3内のレジスタにフィルタパラメータの設定値を書き込んで、ステップS a 13に進む。一方、パベルイベントがフィルタパラメータの操作でない場合には、判断結果が「NO」となり、ステップS a 12に進み、CPU1は、RAM3内のレジスタに設定値を書き込んで、ステップS a 13に進む。効果の設定値を書き込んで、ステップS a 13において、CPU1はフィルタ時変動処理を行う。この処理は、乗音合成回路8の各チャンネルにより生成された乗音信号に対してフィルタ部9の各係数等を設定するもので、詳細については後述する。該処理完了後には前述したステップS a 2に戻り、電源が切断されるまでステップS a 2〜ステップS a 13の一連の処理が繰り返される。

このように、メインルーチンでは、CPU1が各種イベントに対応した乗音信号を生成するように指示動作する。

【0072】E-2-2: キーオン処理ルーチンの動作

CPU1は、そのフローで前述したステップS a 6に進むと、図14に示すキーオン処理ルーチンを実行し、該ルーチンをステップS b 1に進める。このルーチンでは、大別すると次の処理がなされる。すなわち、乗音信号を生成させるチャンネルが割り当てられ、該チャンネルの状態が設定される。このチャンネルに各情報供給されて、乗音信号の生成が開始される。さらに、フィルタ特性に関する情報がフィルタ部9に供給される。以下、これらについて説明する。

【0073】まず、ステップS b 1に進むと、CPU1は、乗音合成回路部8の割当可能な空きチャンネルを第0チャンネルから第15チャンネルまで順次サーチし、ステップS b 2に進む。ここで、空きチャンネルとは、発音待機の状態となっているものを指している。ステップS b 2においてCPU1は、ステップS b 1において空きチャンネルがサーチされたか否かを判断する。空きチャンネルがサーチされた場合には、この判断結果が「YES」となり、後述のステップS b 4に進む一方、

空きチャンネルがサッチでない場合、すなわち、第0～15チャンネルの全てが何らかの形で発音中の場合、判断結果が「NO」となり、ステップSb3に進む。  
【0074】ステップSb3では、CPU1はエンベロープ形状の振幅が最も小さい発音チャンネル、すなわち、最も減衰が進んでいるチャンネルを選択し、これを強制的に発音停止させて「空きチャンネル」とするトラッキング処理を実行し、次のステップSb4を実行する。

【0075】次に、ステップSb4においてCPU1は、上述したステップSb2において抽出された空きチャンネルの番号、またはステップSb3のトラッキング処理による空きチャンネルの番号をレジスタCHに書き込み、ステップSb5へ進む。ステップSb5においてCPU1は、レジスタCHに書き込まれた番号に該当する発音合成回路8の各チャンネルに対して、キーコードKC、音色コードTC、およびキーオン信号KONを出力する。これにより、該当するチャンネルは、これから情報に基づいた発音信号を生成して、CPU1の処理はステップSb6に進む。

【0076】次に、ステップSb6においてCPU1は、フラグFEの値が「1」であるかを判断する。ここで、フラグFEは、後述するフィルタ時変動処理を行うか否かによってその値が変化するものであり、値が「1」の場合に該処理が行われる。また、フィルタ時変動処理を行うか否かの設定は、図11における操作パネル6によって行われる。フラグFEの値が「1」である場合には、判断結果が「YES」となり、処理手順はステップSb7に進む一方、フラグFEの値が「1」でない場合には、判断結果が「NO」となり、このキーオン処理ルーチンは終了し、前述のメインルーチンにおけるステップSb8に戻る。

【0077】次に、CPU1は、ステップSb7において対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値を「1」にセットし、引き続き、ステップSb8において、振幅となるカットオフ周波数fcをキーコードKCによりスケリングしたものをレジスタFC[CH]にセットし、さらに、ステップSb9において、目標となるカットオフ周波数fdをキーコードKCによりスケリングしたものをレジスタFD[CH]にセットして、このキーオン処理ルーチンを終了させる。

【0078】E-2-3: キーオフ処理ルーチンの動作  
CPU1は、その処理が前述したステップSb7（図13参照）に進むと、図11に示すキーオフ処理ルーチンを実行し、該ルーチンのステップSc1に処理を進める。ステップSc1においてCPU1は、キーオン処理時に割り当てられたチャンネルが発音中か否かを判断する。発音中であれば、判断結果が「YES」となり、次のステップSc2に進む一方、発音中でなければ、トラッキング処理等によって強制的に消音されたことを示す

ので、このキーオフ処理ルーチンを終了させる。  
【0079】次に、CPU1は、ステップSc2において該チャンネルにキーオフKOFF信号を供給して発音信号の生成を停止（消音）させ、引き続き、ステップSc3において、該チャンネルのフィルタ時変動処理要求フラグFM[CH]を0にセットし、このキーオフ処理ルーチンを終了させて、メインルーチン（図13参照）におけるステップSa8に戻る。

【0080】E-2-4: フィルタ時変動処理ルーチンの動作

CPU1は、その処理が前述したステップSa13（図13参照）に進むと、図16に示すフィルタ時変動処理ルーチンを実行し、該ルーチンのステップSd1に処理を進める。このフィルタ時変動処理ルーチンでは、まず、フラグFEの値が「1」であるかを判断が行われ、次に、第0～第15までの各々のチャンネルに対して、フィルタ時変動処理要求フラグFM[CH]の値が判断され、さらに、このフラグFEが「1」であるチャンネルに対して、各々フィルタ時変動処理が行われる。

【0081】まず、ステップSd1においてCPU1は、フラグFEの値が「1」であるかを、すなわち、フィルタ時変動処理を行うか否かを判断する。フラグFEの値が「1」である場合には、判断結果が「YES」となり、フィルタ時変動処理を行うとみなして、ステップSd2に進む一方、フラグFEの値が「1」でない場合には、判断結果が「NO」となり、フィルタ時変動処理を行わないものとみなして、このフィルタ時変動処理ルーチンを終了させる。

【0082】次に、CPU1は、ステップSd2において、レジスタCHの値を「0」にセットし、引き続き、ステップSd3において、レジスタCHの値に対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値が「1」である場合には、判断結果が「YES」となり、次のステップSd4に進む一方、フラグFMの値が「1」でない場合には、判断結果が「NO」となり、後述するステップSd11に進む。

【0083】ステップSd4においてCPU1は、レジスタFDの値とレジスタFCの値との差に係数Kを乗じ、さらに、レジスタFCの値を加算したものを、レジスタFCの新たな値としてセットし、ステップSd5に進む。ステップSd5においてCPU1は、レジスタFDの値とレジスタFCの値との差が一定値C以下であるかを判断する。この差が一定値C以下である場合には、判断結果が「YES」となり、次のステップSd6に進む一方、この差が一定値C以下でない場合には、判断結果が「NO」となり、後述のステップSd8に進む。

【0084】ステップSd6においてCPU1は、レジスタFDの値をレジスタFCの値としてセットし、引き

続き、ステップSd7において、レジスタCHの値に対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値を「0」にセットし、ステップSd8に進む。

【0085】ステップSd8においてCPU1は、レジスタFCの値に $2\pi/Fs$ （Fsはサンプリング周波数を表す）を乗じたものを係数 $\alpha$ としてセットし、ステップSd9に進む。さらに、ステップSd9においてCPU1は $(1-\alpha+\alpha^2/2)$ の値に係数 $\beta$ としてセットし、ステップSd10に進む。ステップSd10においてCPU1は、係数 $\alpha$ および係数 $\beta$ をフィルタ部9に供給する。これにより、フィルタ部4は、レジスタCHの値に対応するチャンネルの発音信号に対して係数 $\alpha$ および係数 $\beta$ に基づくフィルタ時変動処理を行う。

【0086】次に、ステップSd11においてCPU1は、次のチャンネルに対してフィルタ時変動処理をすべてくレジスタCHの値を1インクリメントして、ステップSd12に進む。ステップSd12においてCPU1は、レジスタCHの値が発音合成回路8における最大チャンネル数CHMAXの値を越えたか否かを判断する。レジスタCHの値が最大チャンネル数CHMAXを越えた場合、すなわち、第0～第15チャンネルのすべてに対してステップSd3～Sd11の処理がなされた場合には、この判断結果が「YES」となり、CPU1はこのフィルタ時変動処理ルーチンを終了させる。一方、レジスタCHの値が最大チャンネル数CHMAXを越えない場合、すなわち、第0～第15チャンネルのすべてに対してステップSd3～Sd11の処理がなされていない場合には、判断結果が「NO」となり、前述したステップSd3に再び戻る。このようにして、上述した動作を第0～第15までの各々のチャンネルに対して繰り返した後に、処理は前述のメインルーチンにおけるステップSa2に戻る。

【0087】この実施例によれば、s-z変換直後の伝達関数の係数計算が複雑であっても、この計算を簡単な乗除算にて近似することによって、ソフトウェアによるCPU1の計算によってフィルタ係数 $\alpha$ 、 $\beta$ を容易に算出することができる。したがって、押鍵直後の発音信号におけるカットオフ周波数fcを、目標値である最終的なカットオフ周波数fdへとリアルタイムに変化させることができる。

【0088】

【発明の効果】以上説明したこの発明によれば、フィル

タの特性と非線形な関係にある係数を、一個以上の多項式に近似して演算することによって、複雑な関数計算を行う必要のない、また、予め非線形関数を格納したテーブルを用意して置く必要のないデジタルフィルタを提供することができる。

【図面の簡単な説明】

【図1】 この発明による第一実施例の構成を示すブロック図である。

【図2】  $\beta = 1 - \alpha$ である係数算出回路201の構成を示すブロック図の一例である。

【図3】 伝達関数式(46)により示されるデジタルフィルタの構成を示すブロック図の一例である。

【図4】  $\beta = 1 - \alpha + \alpha^2/2$ である係数算出回路202の構成を示すブロック図の一例である。

【図5】  $\beta = 1 - \alpha + \alpha^2$ である係数算出回路203の構成を示すブロック図の一例である。

【図6】 伝達関数式(46)により示されるデジタルフィルタの構成を示すブロック図である。

【図7】 伝達関数の分子が式(40)の分子により示され、伝達関数の分母が式(42)により示されるデジタルフィルタの構成を示すブロック図である。

【図8】 伝達関数式(43)により示されるデジタルフィルタの構成を示すブロック図である。

【図9】 伝達関数式(43)により示されるデジタルフィルタの構成を示すブロック図の一例である。

【図10】 一般的な2次MFPの周波数応答を示す特性図である。

【図11】 第九実施例である電子楽器の構成を示すブロック図である。

【図12】 フィルタ時変動処理による周波数特性の変化を示す説明図である。

【図13】 電子楽器のメインルーチンの動作を示すフローチャートである。

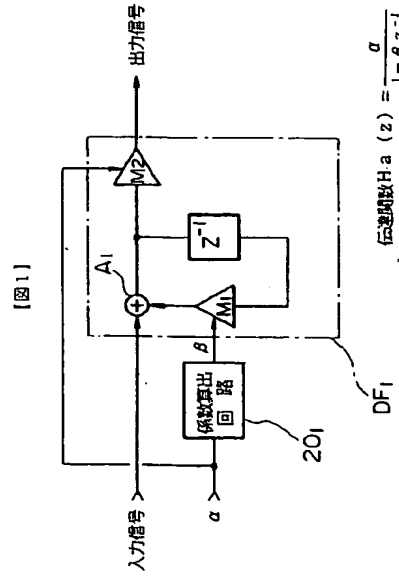
【図14】 同実施例におけるキーオン処理ルーチンの動作を示すフローチャートである。

【図15】 同実施例におけるキーオフ処理ルーチンの動作を示すフローチャートである。

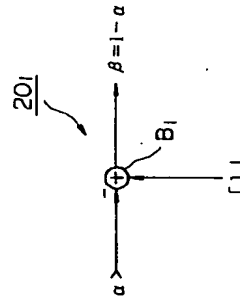
【図16】 同実施例におけるフィルタ時変動処理ルーチンの動作を示すフローチャートである。

【符号の説明】

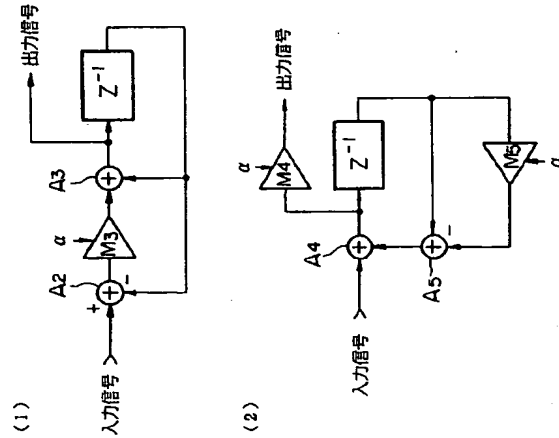
A、H………加算器、M………乗算器、 $z^{-1}$ ………遅延素子、  
20～23………係数算出回路



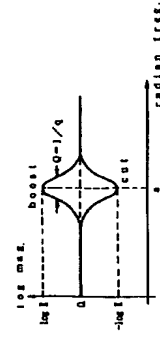
【図2】



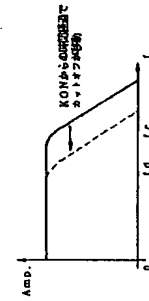
【図3】



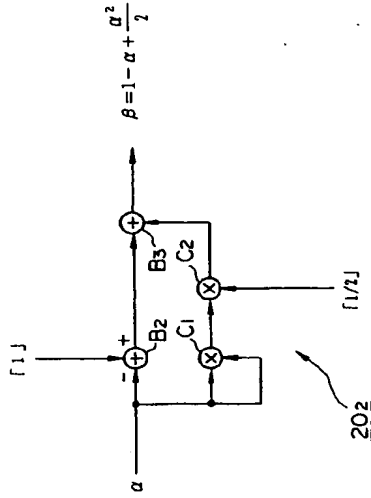
【図10】



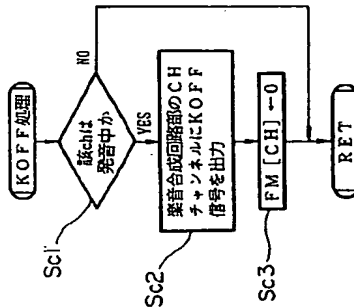
【図12】



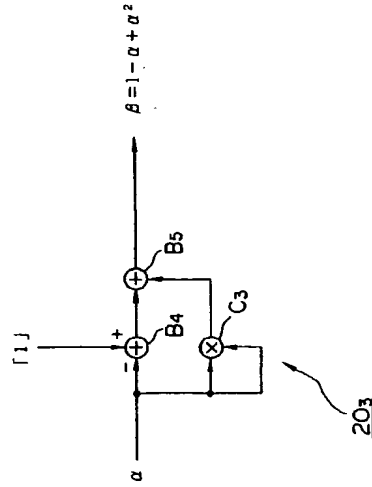
【図4】



【図15】

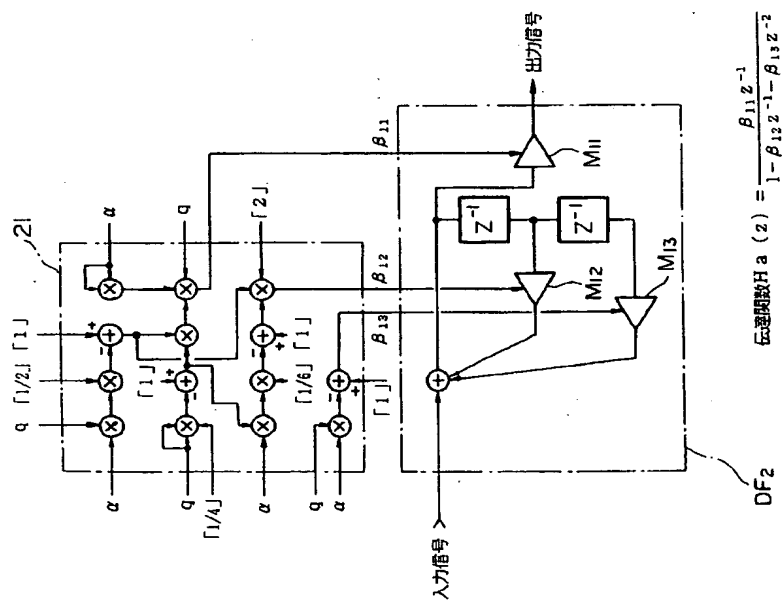


【図5】



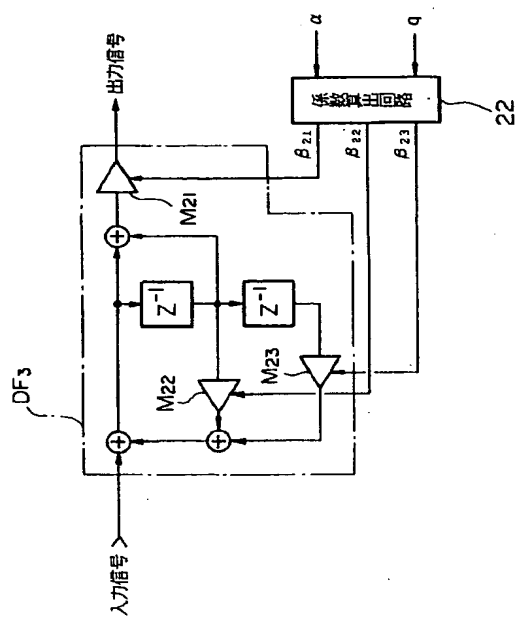


【図6】



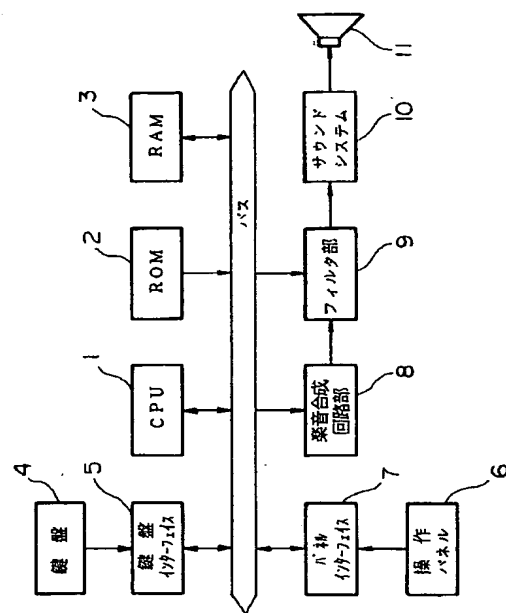
$$\text{伝達関数 } H_a(z) = \frac{\beta_{11}z^{-1}}{1 - \beta_{12}z^{-1} - \beta_{13}z^{-2}}$$

【例7】

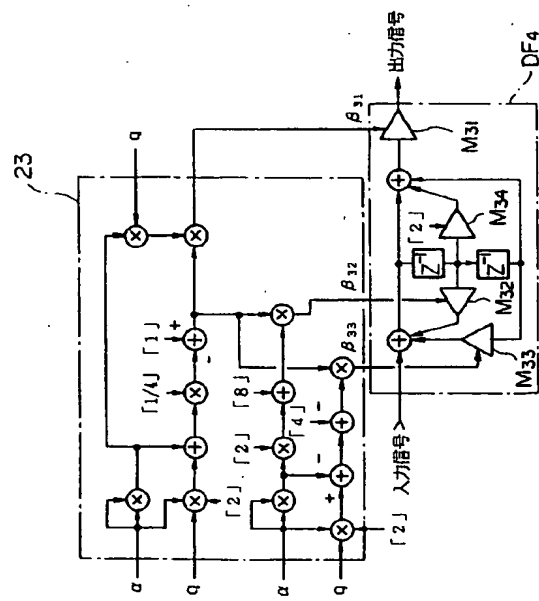


$$\text{传递函数 } H_a(z) = \frac{\beta_{21}(1+z^{-1})}{1-\beta_{22}z^{-1}-\beta_{11}z^{-2}}$$

【圖 11】

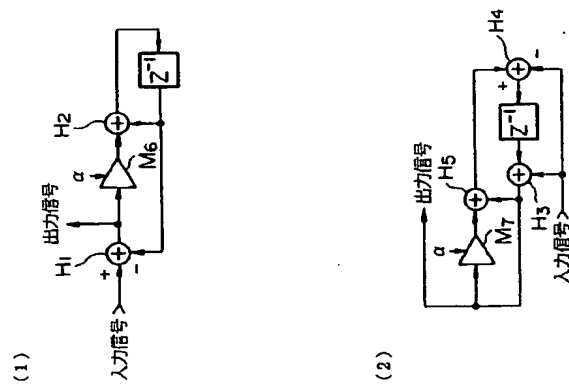


【図8】

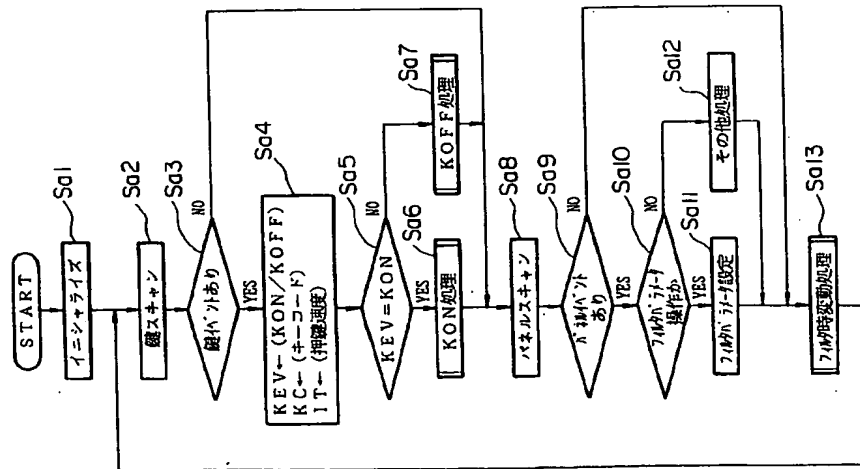


$$\text{伝達関数 } H_a(z) = \frac{\beta_{31} (1 + z^{-1})^2}{1 - \beta_{32} z^{-1} - \beta_{33} z^{-2}}$$

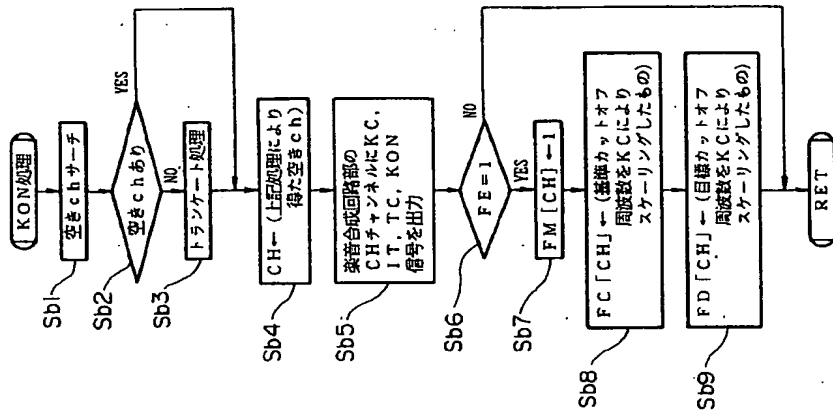
【図9】



【図13】



【図14】



【図16】

